

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-069821

(43)Date of publication of application : 11.03.1997

(51)Int.Cl.

H04H 5/00

H04B 1/10

(21)Application number : 07-224168

(71)Applicant : FUJITSU TEN LTD

(22)Date of filing : 31.08.1995

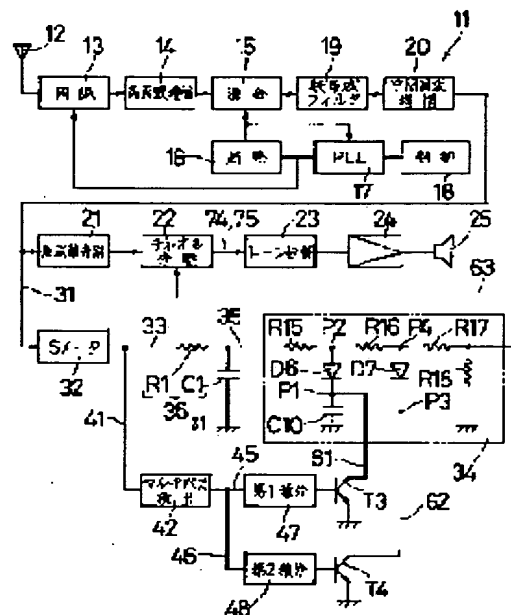
(72)Inventor : FUJIWARA AKIHIRO

## (54) STEREO RECEIVER

## (57)Abstract:

PROBLEM TO BE SOLVED: To reduce noise low in noise density without causing incompatibility to listeners.

SOLUTION: The frequency of received signal is discriminated, and the audio signals of the left and right channels are separated based on selectivity and respectively outputted as sound. When no noise is generated, the selectivity is controlled in accordance with the voltage corresponding to the electric field intensity of received signal outputted from an S meter circuit 32 through a selectivity control circuit 34. When the noise component of received signal is extracted by a multipath detection circuit 42, the noise component is integrated by 1st and 2nd integration circuits 47 and 48. When the noise density is low and only the 1st integration circuit 47 reaches an ON voltage, in accordance with the voltage level set in another terminal p2 of a diode D6 of the circuit 34, the selectivity is reduced to about 10dB. When the noise density is high and both circuits 47 and 48 reach the ON voltage, in accordance with the voltage level set in another terminal p4 of a diode D7 of the circuit 34, the selectivity is reduced to almost  $\leq 4$ dB.



## LEGAL STATUS

[Date of request for examination] 09.04.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2955497

[Date of registration] 16.07.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

Page Blank (U.S.)





圧が異なる。したがって、雑音が発生するたびに分離度をたとえれば4 dB以下の予め定めた範囲まで低減させること、聴取者には、ステレオ音声とモノラル音声とが頻繁に切りかわっているように感じられ、違和感を生じる。雑音密度が予め定められる密度よりも低い場合、雑音は間欠的にまたは短時間にしか生じていないので、分離度を約10 dBまで低下させるだけで、雑音は十分に低減される。約10 dBまで分離度を低下させた場合、聴取者には、ステレオ音声とモノラル音声に近づいたことが感じとりやすく、ステレオ感を聴取して感じるステレオ感に大きく感の大幅な変化を感じない。ゆえに、雑音密度が大きくなる場合が多発生したときだけ、分離度を予め定めた値未満に設定してステレオ感をモノラル音に強力に近づけて、雑音低減を図る。雑音密度が小さいときは、分離度を雑音が充分に軽減され、かつステレオ感を保つことができるレベルまで低下させて、左右両チャンネルの音声信号を分離する。これによって、雑音が発生するたびに、頻繁にステレオ音声とモノラル音に近づき、聴取者に音ユレ感を感じさせることを抑制することができる。

【0017】また本発明は、前記分頻度制御手段は、分頻度を小さくするようにチャネル分頻度手段を制御した後、受信信号から雑音電圧が抽出されなくなると、時間経過によって分頻度を大きくして戻すように制御し、雑音電圧によって大きくする分頻度の時間変化率は、雑音電圧が小さくなるほど小さく設定されることを特徴とする。本発明に従えば、前記分頻度制御手段は、雑音が発生し分頻度を低下させた後に、雑音が発生しなくなるまで、分頻度を時間経過に伴い徐々に大きくし、雑音発生直前の分頻度に戻す。分頻度を大きくする時間変化率は、雑音密度に応じて決定される。前述のように、雑音を低減させるために分頻度を低下させると、ステレオ音声が音の音や定位が異なるモノラル音声をモノラル音声に近づけた後に、分頻度を雑音発生前の値まで戻す場合、分頻度を低いレベルから急に戻すと、聴取者は音や定位の急ななどによって再生された音声に対して音圧感を感じる。雑音発生時には、分頻度は発生した雑音の雑音密度に基づいて決定される。分頻度を低下させている。たとえば雑音密度が予め定められた値よりも小さいときは、分頻度は約10 dBまで低下されている。このとき、聴取者には分頻度の低下によるステレオ音声の変化が感じられていない。したがって、約10 dBまで低下された分頻度を急激に聴取者に雑音発生前の分頻度に戻し、これによって雑音が抽出されなくなっている。このとき、聴取者には分頻度に戻すまでの時間であるリリースタイムを、雑音密度に応じて短縮することができる。したがって、雑音密度が低いときに雑音を低減している時間よりもリリースタイムのほうが長くなり、ステレオ音声をその間提供することができなくなっていたことを防止することが可能である。

ば、弁別レベルの大きなレベル弁別手段からの出力に応じて、分極度を設定する。これによって、雑音が発生すると分極度は雑音密度の小さい場合に対応した値から、大きな場合に対応した値に順次低下する。ゆえに、たとえば雑音の異なる時定数の積分回路を用いて雑音密度を測定する場合、雑音発生から分極度を低下させるまでの時間であるアタックタイムは、常に最も時定数の小さい回路によって規定される。また、雑音発生が終了すると、積分回路の出力は雑音密度が小さいほど早く低下する。これによって、判定する雑音密度が大きい回路ほど長く一方レベルの雑音を分極度制御手段に与え続ける。したがって雑音発生終了後の分極度は、一方レベルの信号を出力したレベル弁別手段によって制御される。このように、それぞれ個別の雑音密度の値の判定を行う複数のレベル弁別手段からの出力にしたがって、分極度制御手段を制御することができる。

【0023】

【発明の実施の形態】図1は、本発明の実施の一形態であるステレオ受信値11の電気的構成を示すブロック図である。

【0024】アンテナ12で受信された受信信号は、同図回路13において、受信すべき希望波の周波数付近の信号成分だけを強調され、さらに高周波増幅回路14で増幅された後、混合回路15に入力される。この混合回路15に関連して、周部発振回路16が設けられている。周部発振回路16は、電圧制御型発振器などで実現され、フェイズロックループ（以下、「PLL」と略称する）回路17からのチューニング電圧に対応した周波数の周部発振信号を出力する。

【0025】PLL回路7は、分周器、基準信号源、比較器、およびフィルタを備えて構成されている。分周器は、マイクロコンピュータなどで実装される制御回路18から入力される電気記号波の周波数に対応した分周比Nで、周部発振信号を分周する。基準信号源は、予め定まる基準周波数の基準信号を発生する。PLL回路7では、基準信号と分周された周部発振信号との位相を比較器と比較して、調整出力を発生させる。発生された調整出力は、フィルタによって、直流電圧に平滑化され、チューニング電圧として周部発振回路16および同図回路3に与えられる。したがって、前記受信周波数を変化するときに、制御回路18は分周比Nの値を変化させ、周部発振信号とその分周比Nで分周した信号と、基準信号との位相差が0となるようにチューニング電圧を変化すると、これによって希望波の安定した受信が可能となる。【0026】混合回路16は、上述のようにして得られた発振信号と、受信信号とを混合して中間周波数信号を得る。得られた中間周波数信号は、音声フィルタ、周波数成分だけを通過させることができる狭帯域フィルタ19を介して中間周波増幅回路20に与えられる。狭帯域フィルタ19の通波帯域幅は、たとえばFM放送を受

与えられる。トランジスタT1のコレクタ端子には、図示しないバッテリーから予め定めるレベル+βの電圧が与えられている。トランジスタT1のエミッタ端子には、ライン33、41が接続されている。またライン33、41と接地ラインとの間には、抵抗R2が介在されている。

【0032】Sメータ回路32は、中間周波増幅回路20から与えられる出力信号の電界強度に対応したSメータ電圧の信号をライン33、41に導出する。図4は、中間周波増幅回路20から与えられる出力信号の電界強度と、Sメータ回路32から出力されるSメータ電圧との関係を示す図である。中間周波増幅回路20からの出力信号の電界強度と、Sメータ回路32からの出力のSメータ電圧とは、実線40に示すように比例している。【0033】Sメータ回路32からの出力は、時定数回路36の他に、ライン41を介してマルチパス抽出回路42にも与えられる。マルチパス抽出回路42は、アンテナ12において受信された受信信号に重畳されて受信された雑音成分を抽出する。

【0034】図5は、マルチパス抽出手段42の具体的な構成を示す回路図である。ライン41はコンデンサC3の一方端子に接続される。コンデンサC3の他方端子は、抵抗R3、R4の一方端子およびトランジスタT2のベース端子に接続される。抵抗R3の他方端子はバッテリに接続され、予め定める電圧βが印加されている。抵抗R4の他方端子は接地されている。

【0035】トランジスタT2のコレクタ端子には、抵抗R5を介して予め定める電圧VCが印加されている。トランジスタT2のエミッタ端子は、抵抗R6を介して接地されている。トランジスタT2のエミッタ端子と抵抗R4の一方端子とは、コンデンサC4の一方端子が接続される。コンデンサC4の他方端子には、ダイオードD5の順方向入力端子と一方端子およびダイオードD3の順方向出力端子とがそれぞれ接続される。トランジスタD3の順方向入力端子の他方端子は接地されている。トランジスタT2の順方向出力端子の他方端子は、ライン45、46に接続されている。

【0036】マルチパス抽出回路42では、まずコンデンサC3および抵抗R4からなるフィルタにおいて、Sメータ回路32からの出力の低域成分を除去する。次に、その低域成分が除去された出力を抵抗R3〜R5、トランジスタT2およびコンデンサC4から成る増幅回路において出力信号を増幅増強して、雑音信号を抽出する。最後に、ダイオードD2、D3からなる全波整流回路において全波整流して、第1および第2積分回路45、46に出力する。

【0037】マルチパス抽出回路42のトランジスタT2は、Sメータ回路32から出力された出力信号に含まれる雑音が小さなレベルの雑音であっても抽出できるように設定される。すなわち、トランジスタT2は小さな

レベルの雑音であっても、容易に飽和するように設定されている。したがって、マルチパス抽出回路42から出力される雑音信号は、雑音の有無だけを指示する信号であり、雑音の大きさ、すなわち受信信号の電界強度の大きさは無視される。このように、マルチパス抽出回路42は、受信信号から雑音成分だけを抽出する。

【0038】マルチパス雑音はまた、周波数弁別回路21からの出力信号をフィルタで濾波して低域成分を除去して増幅増強した後、雑音成分を抽出するように増強して、抽出する。たとえばFM放送受信機などにおいて、復調された音声信号に重畳されたノイズ成分を除去するノイズキャンセリング回路が備えられている場合、上記回路においてノイズを抽出するために備えられるフィルタや増幅増強回路と、マルチパス雑音を抽出するための回路とを兼用するようにしてもよい。

【0039】マルチパス抽出回路42からの出力は、ライン45、46を介して第1および第2積分回路47、48に与えられる。図6は、積分回路47、48および波形整形用のトランジスタT3、T4の具体的な構成を示す回路図である。第1積分回路47では、ライン45には抵抗R7、R8が直列に接続される。抵抗R7と抵抗R8とを直列に接続するライン51と接地ラインとの間には、コンデンサC6が介在している。抵抗R8の他方端子と接地された一方端子と反対側の他方端子は、波形整形用のトランジスタT3のベース端子に接続される。抵抗R8とトランジスタT3のベース端子との間を接続するライン52と接地ラインとの間には抵抗R9が介在している。

【0040】第2積分回路48は、第1積分回路47と類似の構成を有する。ライン46は、抵抗R11、12とライン54を介して直列に接続される。ライン54と接地ラインとの間にはコンデンサC1が介在される。また抵抗R12の他方端子と接地された一方端子と反対側の他方端子は、波形整形用のトランジスタT3のベース端子とライン55を介して接続される。ライン55と接地ラインとの間には、抵抗R13が介在される。

【0041】第1積分回路47の抵抗R7とコンデンサC6とは、充電時定数τ2を有する時定数回路57を構成する。第2積分回路47の抵抗R11とコンデンサC8とは、充電時定数τ3を有する時定数回路58を構成する。第1積分回路47の抵抗R8、R9および第2積分回路48の抵抗R12、R13は、それぞれ積分回路47、48の放電時定数を調整するための抵抗である。

【0042】時定数回路57、58の充電時定数は、それぞれ抵抗の抵抗値とコンデンサの静電容量との乗算で求められる。以後、抵抗Rn（nは整数）の底底道を「rn」と表す。また、コンデンサCn（nは整数）の静電容量を「cn」と表す。時定数τ2、τ3は、以下の式で表される。

【0043】

$$r2 = r7 \cdot c6$$

$$r3 = r11 \cdot c8$$

時定数回路57の時定数 $r2$ は、時定数回路58の時定数 $r3$ よりも大きく設定される。

$$r2 > r3$$

また、第2分回路47、48の放電時定数 $r2a$ 、 $r3a$ は、以下の式で表される。

$$r2a = (r8 + r9) \cdot c6$$

$$r3a = (r12 + r13) \cdot c8$$

第1分分回路47の放電時定数 $r2a$ は第2分分回路48の放電時定数 $r3a$ よりも大きい。また、充電時定数 $r2$ 、 $r3$ は、放電時定数 $r2a$ 、 $r3a$ よりも大きい。たとえば、第1分分回路47において、充電時定数 $r2$ は、 $3ms$ に設定され、放電時定数は $0.3ms$ に設定される。

【0046】波形成形用のコンデンサ $T3$ および $T4$ のベース端子は、それぞれ第1および第2分回路47、48からの出力が与えられる。すなわち、第1および第2分回路47、48において、マルチパス検出回路42から与えられたパルス状の雑音信号によってコンデンサ $C6$ が充電され、予め定められたレベルまで充電されると、トランジスタ $T3$ 、 $T4$ がオン状態となり、トランジスタ $T3$ 、 $T4$ のエミッタ端子からコネクタ端子に電流が流れる。トランジスタ $T3$ 、 $T4$ のエミッタ端子は、それぞれ接地されている。トランジスタ $T3$ 、 $T4$ のコネクタ端子は、それぞれ、分周制御回路34からの出力をトランジスタ $T3$ 、 $T4$ に与えるように接続されている。

【0047】再び図1を参照する。分周制御回路34は、抵抗 $R15 \sim R18$ 、ダイオード $D6$ 、 $D7$ およびコンデンサ $C10$ を含んで構成される。Sメータ回路32と抵抗 $R15$ は、ライン33、時定数回路36およびライン部分35を介して接続される。抵抗 $R15 \sim R18$ は、順に直列に接続される。

【0048】抵抗 $R15$ 、 $R16$ 間には、ダイオード $D6$ の順方向入力側の一方端子 $p2$ が介在されて接続され

$$\text{分周度} = 20 \log_{10} \frac{R}{\Delta R} \approx 20 \log_{10} \frac{1}{\Delta R}$$

【0052】「R」「L」は、それぞれ右チャネルおよび左チャネルの音声信号を示す。「 $\Delta R$ 」「 $\Delta L$ 」は、それぞれ左チャネルへ混入した右チャネルの音声信号、右チャネルへ混入した左チャネルの音声信号を示す。

【0053】チャネル分離回路22には、周波数分回路21からライン66を介して右チャネルと左チャネルの音声信号が加算されて構成される和信号（ $L+R$ ）が与えられる。また、周波数分回路21からライン67を介し、左信号から右信号を減算した差信号（ $L-R$ ）が与えられる。

回路34からの制御電圧に応じて決定し、差信号および和信号に乗算する。

【0057】加算器69では、係数 $k1$ が乗算された和信号 $[k1(L+R)]$ と差信号（ $L-R$ ）とが加算され、その出力が、ライン74を介してトーン制御回路23に与えられる。減算器71では、和信号（ $L+R$ ）か

$$[0058]$$

$$(k1+1)L + (k1-1)R$$

$$(k1-1)L + (k1+1)R$$

$$\dots (4)$$

$$\dots (5)$$

「R」「L」は、それぞれ右チャネルおよび左チャネルの音声信号を示す。係数 $k1$ は、分周制御回路34からライン63を介して与えられる制御電圧に比例して決定される値であり、分周度に対応するものである。図8は、係数 $k1$ と制御電圧との関係を示すグラフである。実線77に示すように、制御電圧が $0 \sim V0$ までの間は、係数 $k1$ は制御電圧に比例して大きくなる。制御電圧が予め定められた電圧 $V0$ 以上となると、係数 $k1$ は1に保たれる。係数 $k1$ は、 $0 \sim 1$ の間のいずれかの値をとる。

【0059】すなわち、係数 $k1$ が1であるときには、ライン74、75からはそれぞれ左および右チャネルの音声信号だけが出力される。係数 $k1$ が0であるときには、ライン74、75からは、左チャネルの音声信号から右チャネルの音声信号を減算した信号および右チャネルの音声信号から左チャネルの音声信号を減算した信号が出力される。係数 $k1$ が0以上1未満の値であるときには、係数 $k1$ に応じて、左チャネルおよび右チャネルに係数に応じた割合だけ右チャネルおよび左チャネルの音声信号が混入した状態の信号が出力される。

【0060】図7は、チャネル分離回路22の具体的な構成を示すブロック図である。チャネル分離回路22は、周波数分回路21において変調された受信信号2から、左右チャネル毎の音声信号を分離する。分周度は、左または右チャネルの発生信号が右または左チャネルへ混入して右または左チャネルの発生信号に混入する度合いを示す。分周度は次式で表される。

【0061】図7は、チャネル分離回路22の具体的な構成を示すブロック図である。チャネル分離回路22は、周波数分回路21において変調された受信信号2から、左右チャネル毎の音声信号を分離する。分周度は、左または右チャネルの発生信号が右または左チャネルへ混入して右または左チャネルの発生信号に混入する度合いを示す。分周度は次式で表される。

【0062】図7は、チャネル分離回路22の具体的な構成を示すブロック図である。チャネル分離回路22は、周波数分回路21において変調された受信信号2から、左右チャネル毎の音声信号を分離する。分周度は、左または右チャネルの発生信号が右または左チャネルへ混入して右または左チャネルの発生信号に混入する度合いを示す。分周度は次式で表される。

【0063】図7は、チャネル分離回路22の具体的な構成を示すブロック図である。チャネル分離回路22は、周波数分回路21において変調された受信信号2から、左右チャネル毎の音声信号を分離する。分周度は、左または右チャネルの発生信号が右または左チャネルへ混入して右または左チャネルの発生信号に混入する度合いを示す。分周度は次式で表される。

【0064】図7は、チャネル分離回路22の具体的な構成を示すブロック図である。チャネル分離回路22は、周波数分回路21において変調された受信信号2から、左右チャネル毎の音声信号を分離する。分周度は、左または右チャネルの発生信号が右または左チャネルへ混入して右または左チャネルの発生信号に混入する度合いを示す。分周度は次式で表される。

【0065】図7は、チャネル分離回路22の具体的な構成を示すブロック図である。チャネル分離回路22は、周波数分回路21において変調された受信信号2から、左右チャネル毎の音声信号を分離する。分周度は、左または右チャネルの発生信号が右または左チャネルへ混入して右または左チャネルの発生信号に混入する度合いを示す。分周度は次式で表される。

【0066】図7は、チャネル分離回路22の具体的な構成を示すブロック図である。チャネル分離回路22は、周波数分回路21において変調された受信信号2から、左右チャネル毎の音声信号を分離する。分周度は、左または右チャネルの発生信号が右または左チャネルへ混入して右または左チャネルの発生信号に混入する度合いを示す。分周度は次式で表される。

【0070】トランジスタT3、T4のオン状態とオフ状態との切換えは、第1および第2積分回路47、48からの出力に対応している。すなわち、時刻t15で第1積分回路47からの出力のレベルがオン電圧V1未満1積分回路47からの出力のレベルがオン電圧V1未満からオン電圧V1以上に切換わると、時刻t15でトランジスタT3はオフ状態からオン状態に切換わる。時刻t15から時刻t16の間トランジスタT3はオン状態を保ち、時刻t16で第1積分回路47からの出力のレベルがオン電圧V1以上からオン電圧V1未満に切換わると、トランジスタT3はオン状態からオフ状態に切換わる。

【0071】同様に時刻t13において第2積分回路48からの出力がオン電圧V1未満からオン電圧V1以上に切換わると、トランジスタT4は、オフ状態からオン状態に切換わる。時刻t13から時刻t14までの間トランジスタT4はオン状態を保ち、時刻t14で第2積分回路48からの出力のレベルがオン電圧V1以上からオン電圧V1未満に切換わると、トランジスタT4はオン状態からオフ状態に切換わる。すなわち、トランジスタT3はトランジスタT4よりも遅くオフ状態からオン状態に切換わり、オン状態からオフ状態に切換わる。

【0072】トランジスタT3、T4がオン状態になると、分岐制御回路34において、ダイオードD6、D7に順方向電流が流れる。図9(5)は、ダイオードD6の順方向出力側の端子P1および順方向入力側の端子P3での電圧のレベルを示す図である。また、図9(6)は、ダイオードD7の順方向出力側の一方端子P3と順方向入側の他方端子P4の電圧のレベルを示す図である。

【0073】雑音が検出されないとき、他方端子P2、P4には、Sメータ回路32から出力されたSメータ電圧を抵抗R15〜R18において分圧した電圧である電圧V3、V4が与えられている。図9(5)および図9(6)の2点線88、89はダイオードD6、D7の順方向出力側の一方端子P1、P3の電圧レベルを示す。図9(5)および図9(6)の実線91、92は、それぞれダイオードD6、D7の順方向入力側の他方端子P2、P4の電圧のレベルを示す。

【0074】トランジスタT3がオン状態になると、一方端子P1の電圧レベルは、たとえ0V近傍まで低下し、ダイオードD6が電流が流れるオン状態に切換わると、時刻t16で第1積分回路47からの出力のレベルがオン電圧V1以上に切換わると、トランジスタT3は、ダイオードD6の順方向電圧によって定められる電圧V5まで低下する。

【0075】トランジスタT3がオン状態からオフ状態に切換わると、一方端子P1の電圧レベルは雑音が増え、時刻t17に図9(1)に示すレベルに低下する。このとき、端子P1に接続されたコンデンサC10が放電を開始する。したがって、一方端子P1の電圧レベルは、トランジスタT3はオン状態からオフ状態に切換わった時

刻t16からコンデンサC10の放電に伴って徐々に電圧レベルが上昇し、時刻t17で、元の電圧レベルに復帰する。

【0076】ダイオードD6の他方端子P2の電圧のレベルは、一方端子P1の電圧レベルの変化にほぼ等しいと変化する。したがって、他方端子P2の電圧レベルは、時刻t15でSメータ回路32から出力された信号の電圧レベルから強制的に予め定める電圧レベルV5に低下される。時刻t16でトランジスタT3がオフ状態となると、すなわち、第1積分回路47において雑音が抽出されなくなると判定されると、他方端子P2の電圧のレベルは時間経過に伴って徐々に増加する。

【0077】トランジスタT4がオン状態に切換わると、ダイオードD7の一方端子P3はほぼ等しいと0V近くまで電圧レベルが低下する。一方端子P3の電圧のレベルが0V近くまで低下すると、ダイオードD7に電流が流れる状態となる。したがってダイオードD7の他方端子P4の電圧のレベルは、ダイオードD7の順方向電圧によって定められる電圧V5に強制的に低下されて規制される。トランジスタT4がオン状態からオフ状態に切換わると一方端子P3の電圧のレベルは元の電圧レベルに復帰する。これによってダイオードD7に順方向電流が流れなくなり、他方端子P4の電圧レベルはSメータ回路32から出力された信号で規定されるレベルV4に即座に復帰する。

【0078】このように、第1積分回路47からの出力によって、分岐制御回路34の抵抗R15と抵抗R16との間の分点である他方端子P2の電圧のレベルが制御される。同様に、抵抗R16と抵抗R17との間の分点であるダイオードD7の他方端子P4の電圧のレベルが、第2積分回路48からの出力によって制御される。このように、分岐制御回路34において、ダイオードD6、D7の他方端子P2、P4の電圧のレベルを第1および第2積分回路47、48の時定数に合わせたタイムインゲで制御する。

【0079】これによって、チャネル分岐回路22の乗算回路68、72に与えられる制御電圧がマルチパス雑音の著無およびマルチパス雑音の所定時間内の発生回数、すなわち雑音密度に応じて制御される。

【0080】マルチパス雑音が検出されないとき、マルチパス回路42からの出力は常にローレベルを保ち、時刻t16で第1積分回路47、48からの出力はオン電圧V1に達せず、トランジスタT3、T4はオフ状態を保ち、ゆえに、ダイオードD6、D7の他方端子P2、P4での電圧のレベルは、Sメータ回路32からの出力によって規制されるレベルを保ち、ゆえに、Sメータ回路32からの出力の電圧レベルV1は、抵抗R15〜R18によって分圧され、電圧レベルV12aの制御電圧に変換されて、ライン63を介してチャネル分岐回路22の係数、図68、72に与えら

れる。

【0081】

$$V12a = \frac{r18}{r15 + r16 + r17 + r18} \cdot V11 \quad \dots (7)$$

【数2】

【0082】したがって、チャネル分岐回路22では、受信信号の電圧強度に対応して、受信信号の強度が大きいとき、すなわちSメータ回路32からの出力の電圧レベルV11が大きいときには、分岐度をチャネル分岐回路22で定める最大の分岐度で設定する。受信信号の強度が小さくなるとSメータ回路32からの出力の電圧レベルV11が低下し、チャネル分岐回路22は、与えられた制御信号に対応するように分岐度を小さくする。

【0083】マルチパス雑音が発生している場合には、マルチパス抽出回路42では、マルチパス雑音のレベルに拘わらず、マルチパスの著無だけを検出する。マルチパス雑音が検出されると、マルチパス雑音の発生時にレベルがハイレベルになるようなパルス信号が第1積分回路47および第2積分回路48に与えられる。

【0084】マルチパス雑音の雑音密度が低いとき、すなわち、予め定める所定時間内のマルチパス雑音の数が少ないときは、マルチパス雑音の間隔が大きい間隔になっている場合には、第2積分回路48の出力レベルがオン電圧V1に達し、第1積分回路47の出力レベルはオン電圧V1に達しない。

【0085】たとえば、前述した図9(2)において、時刻t11から時刻t21までマルチパス雑音が発生

$$V12b = \frac{r18}{r17 + r18} \cdot V5 \quad \dots (8)$$

【0086】したがって、受信信号から雑音信号が検出された時刻t11から分岐度が低下しはじめまでの時刻であるアタックタイムは、第2積分回路48の出力レベルがオン電圧V1に達するまでの時間で規定される。すなわち、第2積分回路48の時定数が大きいアタックタイムは短くなる。

【0087】分岐度を最大値Mmaxから10dBまで低下させた場合、ステレオ受信機11からの再生されたステレオ放送を聴取している聴取者には、ステレオ放送の左右チャネルに反対側のチャネルの音声信号が混入し、モノラル放送に近くなるようなステレオ感の大幅な変化は感じないので、音場感などが生じない。単発的なマルチパス雑音や、雑音密度の低いマルチパス雑音では、分岐度を10dB程度まで減少させれば、十分に雑音低減を図ることができる。

【0088】ゆえに、単発的なマルチパス雑音または雑音密度の低いマルチパス雑音が発生した場合には、分岐度を10dB程度まで低下させ雑音がなくなるとほぼ同時に復帰させて、分岐度が低下している時間を短縮することができる。したがって、聴取者には音場感などが生じないままマルチパス雑音を低減させるとともに、ステレオ放送を提供する時間を長くすることができる。



雑音密度が低い場合は、2〜3ミリ秒間に数回のマルチバス雑音が発生する程度の密度である場合である。  
【0084】マルチバス雑音の雑音密度が大きい場合、マルチバス検出回路42からは、図9(1)に示すような時刻t11から時刻t12間に複数回の雑音を検出した雑音信号が、第1および第2積分回路47、48に与えられる。

【0085】第2積分回路48は時刻t113においてオン電圧V11に達し、トランジスタT4は時刻t13でオン状態となり、ダイオードD7に順方向電流が流れ、他方端子P4の電圧のレベルが所定のレベルV5に規定される。したがって、Sメータ回路32からの出力の電圧レベルに拘わらず、チャネル分離回路22には、制御電

$$V12c = \frac{r18}{r16+r17+r18}$$

【0088】制御電圧V12cは、チャネル分離回路22において分極度をたとえば4dB以下になるように制御する電圧の大きさを有する。4dB以下に分極度を低下させることによって、チャネル分離回路において分極度を制御することによって雑音を軽減する能力が増大する。また、4dB以下まで分極度を低下させると、聴取者の聴感上左右チャネルに音声成分が分離していることを感じない。したがって、分極度4dB以下に低下させたときは、分極度を元の最大値M<sub>ax</sub>まで復帰させる場合には、ステレオ放送とモノラル放送とが切りかわったように感じられ音割れ感が生じる。したがって、この場合には、分極度を時間経過において徐々に増加させる。

【0089】時刻t112以後、雑音が発生しない場合には、第1および第2積分回路47、48は時刻t12から放電を開始する。第1および第2積分回路47、48の放電時定数は、第1積分回路の放電時定数の方が第2積分回路48の放電時定数よりも大きく、放電が緩やかに進む。したがって、時刻t112から放電を開始した場合に、第2積分回路48からの出力のほうが早くオン電圧V11に達する。ゆえに、トランジスタT4の方がランジスタT3よりも早くオン状態からオフ状態に切りかわる。

【0100】トランジスタT4がオン状態からオフ状態に切りかわったとき、トランジスタT3はまだオン状態を保っている。したがって、ダイオードD7に順方向電流が流れるまは流れずに拘わらず、チャネル分離回路22に与えられる制御電圧は、ダイオードD6の他方端子P2の電圧のレベルによって規定される。したがって、分極度の復帰動作は、第1積分回路47の放電時定数およびコンデンサC10の静電容量 $\phi$ 10などにによって規定される。

【0101】第1積分回路47の出力のレベルが時刻t16においてオン電圧V11以下に至ると、トランジスタT3はオン状態からオフ状態に切りかわる。トランジスタT1がオフ状態になると、前述したようにダイオード

の出力がオン電圧V11に出し、時定数の大きい第1積分回路47からの出力がオン電圧V11に達しない。この場合に、雑音密度が低いと判断され、分極度が10dBに規定される。また、第1積分回路47からの出力がオン電圧V11に達すると、雑音密度が高いと判断されて分極度は4dB以下に規定される。

【0105】雑音を軽減する場合にはマルチバス雑音が発生してからすぐ分極度が低下されることが好ましい。トランジスタT3、T4は、雑音密度が予め定められた密度以上であるかを判断するための回路である。第1積分回路47からの出力がトランジスタT3をオン状態にするオン電圧がV11に達するまでの時間W20は、第2積分回路48の出力がオン電圧V11に達するまでの時間W12よりも長い。ゆえに、マルチバス雑音が発生すると雑音密度の大小に拘わらず雑音が発生した時刻から時間W12が経過すると分極度は10dBまで低下される。

【0106】したがって、時定数の異なる積分回路を並列的に動作させると、時定数の小さな積分回路から、順次トランジスタをオン状態にすることのできるレベルの出力が出力されることになる。ゆえに、積分回路のような容易な回路を複数並列に動作させることによって、常に雑音が発生してから分極度は低下するまでのアタックタイムを最も時定数の小さな積分回路によって規定することができる。ゆえに、常にアタックタイムを短く規定することができる。

【0107】図13は、本実施形態のステレオ受信器11において、Sメータ電圧と分極度との関係を示す図である。マルチバス雑音が発生しないときは、Sメータ電圧と分極度とは実線101に示すようにSメータ電圧の上昇に伴って分極度が増加する。すなわち、受信信号の電界強度が予め定められるレベル以上である時刻は、最大の分極度M<sub>ax</sub>で左右チャネルの音声信号が分離される。Sメータ電圧が予め定められる電圧未満になると、分極度はSメータ電圧に比例して低下する。

【0108】マルチバス雑音が発生する場合、分極度はSメータ電圧に拘わらず実線102、103で示す予め定められるレベル。たとえば雑音密度が予め定められる密度よりも高い場合には実線103で示す4dB以下のレベル、雑音密度が予め定められる密度未満である時には実線102で示す10dB程度の分極度に保たれる。

【0109】また図14は、雑音密度が予め定められる密度よりも高い場合において、分極度と時間経過との関係を示すグラフである。実線105に示すように、雑音が発生してから時間W12が経過すると時刻t12において分極度は最大値M<sub>ax</sub>から10dBまで低下される。次に、時刻t12から時刻t15に至ると、さらに10dBから4dBまで低下される。したがって、雑音が発生してから分極度が最大値よりも低下されはじめる時間であるアタックタイムは、常に時定数の小さい第2

積分回路48の出力レベルによって規定される。

【0110】図15は、雑音密度とリリースタイムとの関係を示すグラフである。前述したように、分極度を最大値M<sub>ax</sub>から10dBまで低下させた場合には、聴取者がステレオ感が損なわれたとは感じない。したがって、分極度を10dBまで低下させている場合、すなわち雑音密度が予め定められる密度 $\alpha$ に達しない場合には、リリースタイムは極めて短い時間とする。また、雑音密度が予め定められる所定密度 $\alpha$ 以上である場合には、分極度が4dBまで低下される。このときには、聴取者はステレオ放送がモノラル放送に切りかわっていると感じるので、モノラル放送からステレオ放送に急激に切りかわる音割れ感があると感じ、これを防止するために、リリースタイムは1秒以上の長い時間を取る。

【0111】このように本実施形態のステレオ受信器11ではマルチバス雑音の有無およびマルチバス雑音の雑音密度の大小に応じて、ステレオ放送の分極度をどこまで低下させるかを規定する。また分極度を低下したレベルに応じて、分極度を元の最大値に復帰させるリリースタイムを決定する。

【0112】本実施形態のステレオ受信器11では、雑音密度に改善して分極度を複数の段階的に低下させている。他の実施形態として、図16の実線108に示すように雑音密度が所定密度 $\alpha$ に至るまでは、分極度を雑音密度に応じて連続的に変化させ、所定密度以上になったときには、分極度を4dB以下に低下させるようにしてよい。また、このとき、分極度は最大値M<sub>ax</sub>から10dBまで徐々に連続的に低下される。

【0113】雑音密度が所定の密度 $\alpha$ よりも低いときは、分極度は最大値M<sub>ax</sub>から最大10dBまでの間の値まで低下させることが好ましい。分極度の最大値から10dBまでの間に分極度を低下させた場合には、聴取者には分極度を低下させたことによってステレオ感がモノラル放送に切りかわったという違和感が感じられない。したがって、この場合には、分極度を短時間で急激に元の最大分極度まで復帰させた場合にもステレオ放送とモノラル放送が急激に切りかわったという音割れ感を生じない。

【0114】また、雑音密度が所定の密度 $\alpha$ 以上である場合には、雑音を軽減する能力が最大となる4dB以下まで分極度を低下させることが好ましい。また、この場合には、聴取者はステレオ放送がモノラル放送に近く左右のチャネルの音声信号に反対のチャネルの音声信号が混入していることは感じられ、ステレオ放送がモノラル放送に近い状態で聴取されている。このときは、時間をかけて徐々に分極度を上昇させ、ステレオ放送とモノラル放送が急激に切りかわり音割れ感が生じることを防止する。

【0115】以上のように本実施形態のステレオ受信機では、マルチバス雑音の有無および雑音密度に応じて、

分周度の低下量やリリースタイムを設定する。したがって、特に雑音密度が小さい場合において、雑音発生のために再生された音声からステレオ音声からモノラル音上に切換わって聴取者に違和感を感じさせたり、必要以上の長い時間再生される音声からモノラル音上に近づいていくことを防止することができ。

【0116】また、本発明形態のステレオ受信機1では、雑音密度を時定数の異なる複数の積分回路を用いて計測している。分周度は、計測される積分出力が予め定められるレベル以上に至ると、該当する積分回路に対応した値に設定される。雑音密度の計測は、この手法に限らず他の手法をもちいてもよい。たとえば、積分回路の時定数は等しく、トランジスタのベース電圧などレベル別別手段の複数の別別レベルが異なるように設定する。積分回路の出力が各別別レベルを超えたときに、当該レベルに対応する雑音密度に至ったと判定し、分周度制御手段は、当該レベルに対応した分周度を設定するようにしてもよい。

【0117】

【発明の効果】本発明によれば、ステレオ受信機では、受信信号を受信し復調し、分周度に応じて左右チャネルの音声信号を分離し、各チャネルの音声を再生する。チャネルの分周度は、受信信号の電界強度に応じて変更される。かつ、受信信号に突発的な雑音が含まれている場合には、電界強度の有無に拘らず、雑音信号の雑音密度に応じて変更される。

【0118】これによって、雑音密度が小さく雑音が偶然に発生している場合と、雑音密度が大きく雑音が恒常的に多数発生している場合とにおいて、分周度をそれぞれの場合に応じた値に設定することができ。したがって、雑音の発生回数や発生間隔などに応答して、発生した雑音を低減することができ、かつ出来る限りステレオ感を保つことができる。分周度の分周度で、音声信号を分離することができ。したがってステレオ音声からモノラル音上に頻りに切換わったと、聴取者が感じることが防止することができ。

【0119】また本発明によれば、雑音密度が予め定められる度以上であるときは、分周度を0dB近くまで低下させて、ステレオ音声からモノラル音上に近づいても、雑音を充分に低減することを優先する。また雑音密度が予め定められる密度未満であり、雑音の発生回数が少ないときは、約10dBまで分周度を低下させて、ステレオ感を保ったまま、雑音を低減させる。これによって、雑音の発生が継続的であり、発生回数が少ない場合などにおいて、雑音を低減させてかつステレオ感と失われないようにすることができ。したがって、低密度で発生する雑音を音声の音量や定位の変化なしに、違和感なく低減することができ。

【0120】また本発明によれば、雑音低減のために分周度を低下させた後に分周度を低下前の値まで復帰させ

抽出される場合とにおいて等しい。すなわち、雑音が抽出されるときは、小さい雑音密度を計測するための積分回路の積分出力は、大きな雑音密度を計測するための積分回路の積分出力よりも早いタイミングで別別レベル以上に至る。また、逆に雑音が発生しなくなると、小さい雑音密度を計測するための積分回路の積分出力は、大きな雑音密度を計測するための積分回路の積分出力よりも早いタイミングで別別レベル以下に落ちる。

【0126】また本発明によれば、前記各レベル別別手段は、一方及び他方レベルの信号を出力して、雑音密度が当該手段で判定される密度以上または未満であることを示す。分周度制御手段は、複数のレベル別別手段から雑音密度が当該別別手段の別別レベル以上出たことを示す一方レベルの信号を得ると、そのうち最も密度の大きい別別レベルに対応して分周度を設定する。

【0127】前述したように、積分回路の出力レベルに高いつて分周度を設定する場合では、積分回路の積分時定数が異なるとき、別別レベルが異なるときの両方において、大きい雑音密度を示す一方レベルの信号が出力されるタイミングが遅い。ゆえに、受信信号の雑音密度の値は、予め設定される別別レベルを満たすことを、多数の別別レベルのうち低別別レベルから順次判定され、値が出力される。したがって、雑音発生から分周度の低下が始まるまでのアタックタイムは、常に低い別別レベルの積分回路の出力に基づいて決定される。したがって、上述した簡単な構成の回路において、アタックタイムを常に一定にすることができ。ゆえに、マルチパス雑音が発生すると、常に短時間で分周度を低下させ始める事ができる。

【図面の簡単な説明】

【図1】本発明の実施の一形態であるステレオ受信機1の電気的構成を示すブロック図である。

【図2】Sメータ回路32の具体的な構成を示す回路図である。

【図3】Sメータ回路32に与えられる中間周波増幅回路20からの出力信号を示す波形図である。

【図4】中間周波増幅回路20から与えられる出力信号の電界強度と、Sメータ回路32から出力されるSメータ電圧との関係を示す図である。

【図5】マルチパス抽出回路42の具体的な構成を示す回路図である。

【図6】積分回路47、48および波形状形成用のトランジスタT3、T4の具体的な構成を示す回路図である。

【図7】チャネル分離回路22の具体的な構成を示すブロック図である。

【図8】係数乗算回路68、72で決定される係数k1と制御電圧との関係を示すグラフである。

【図9】マルチパス抽出回路42から分周度制御回路34までの各回路の出力を示す波形図である。

【図10】雑音密度、正しい場合において、雑音発生

タイミングと分周度の変化との関係を示すグラフである。【図11】雑音密度が中程度の場合において、雑音発生タイミングと分周度の変化との関係を示すグラフである。

【図12】雑音密度が高い場合において、雑音発生タイミングと分周度の変化との関係を示すグラフである。

【図13】Sメータ電圧と分周度との関係を示す図である。

【図14】雑音密度が予め定められる密度よりも高い場合において、分周度と時間経過との関係を示すグラフである。

【図15】雑音密度とリリースタイムとの関係を示すグラフである。

【図16】雑音密度と分周度との関係を示すグラフである。

【図17】従来の技術のステレオ受信機における雑音密度が小さい場合の雑音発生タイミングと分周度の変化との関係を示すグラフである。

【図18】従来の技術のステレオ受信機における雑音密度が中程度の場合の雑音発生タイミングと分周度の変化との関係を示すグラフである。

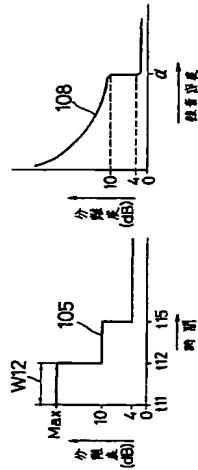
【図19】従来の技術のステレオ受信機における雑音密度が大きい場合の雑音発生タイミングと分周度の変化との関係を示すグラフである。

【符号の説明】

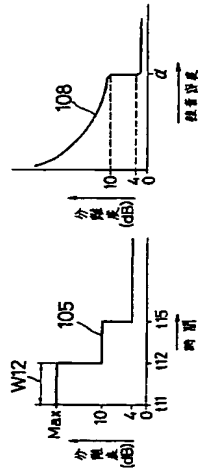
- 11 ステレオ受信機
- 12 アンテナ
- 13 周波数変換回路
- 14 高周波増幅回路
- 15 混合回路
- 16 周波数変換器
- 17 PLL
- 18 制御回路
- 19 狭帯域フィルタ
- 20 中間周波増幅回路
- 21 周波数変換回路
- 22 チャネル分離回路
- 23 トーン制御回路
- 24 増幅回路
- 25 スピーカ
- 32 Sメータ回路
- 34 分周度制御回路
- 42 マルチパス抽出回路
- 47 第1積分回路
- 48 第2積分回路
- T3, T4 トランジスタ
- D6, D7 ダイオード
- R15, R16, R17, R18 抵抗
- G10 コンデンサ
- 68, 72 係数乗算回路



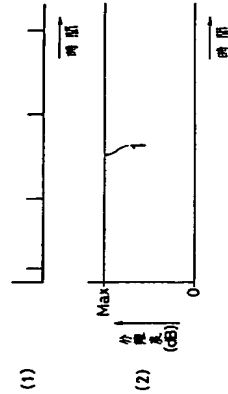
【図14】



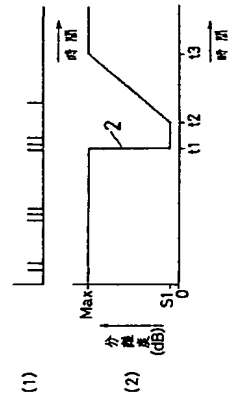
【図16】



【図17】



【図18】



【図19】

